

이슈보고서

산업경제팀

VOL.2023-이슈-24 (2023.12)

반도체 기술 패러다임 변화 및 시사점

CONTENTS

<요약>

- I. 반도체 미세화의 한계 및 대안
- II. 주요 반도체 기술 로드맵
- III. 첨단 패키징: 이종집적을 중심으로
- IV. 결론 및 시사점

작성

선임연구원 이미혜 (6252-3608)





< 요약 >

I. 반도체 미세화의 한계 및 대안

반도체산업은 지난 50년간 미세화(Scaling)를 통해 성능을 향상시켜왔으나 초미세화가 물리적 한계에 근접하자 More Moore와 More Than Moore가 대안으로 부상

- 인텔의 공동 설립자 고든 무어는 반도체 집적회로의 성능이 약 2년마다 2배 증가하고 가격은 1/2로 하락한다는 '무어의 법칙'을 제시
- 2020년 이후 반도체가 미세화될수록 공정의 복잡성 등으로 반도체 제조 비용이 상승하면서 무어의 법칙이 한계에 직면
- 반도체 선폭 미세화의 한계가 다가오자 반도체의 성능향상을 위해 미세화 노력을 지속하되 More Moore와 More Than Moore가 대안으로 부상
 - Moore Moore는 반도체 소자 구조, 공정, 소재 혁신 등을 통해 반도체 성능을 향상, More Than Moore는 반도체 미세화의 한계를 후공정(패키징)으로 돌파하는 패러다임 체인저

II. 주요 반도체 기술 로드맵

(파운드리) 로직 반도체(시스템반도체) 공정이 2030년에 1나노 이하로 진입할 전망

- 주요 기업의 최신 공정은 3나노이며 1나노까지 양산 로드맵을 발표, 1나노부터는 차세대 EUV 노광장비가 사용될 전망
- 트랜지스터 구조는 채널과 게이트 전압 접촉면이 평면인 Planar FET에서 3면인 FinFET, 4면인 GAA(Gate-All-Around)로 발전
 - 트랜지스터는 전자를 공급해주는 Source와 전자가 빠져나가는 Drain 양단 간에 전류가 흐르는 채널과 채널에 흐르는 전류의 흐름을 제어하는 게이트로 구성
 - (Planar FET) 채널과 게이트에서 가해지는 전압의 접촉면이 평면인 구조
 - (FinFET) 채널과 게이트 전압 접촉면이 3면인 구조로 채널 통제 능력이 Planar FET보다 높음
 - (GAA) 게이트가 채널의 4면을 둘러싸는 구조로 전류 흐름을 세밀하게 제어 가능
- 후면전력공급(BSPDN, Back Side Power Delivery Network)은 웨이퍼 뒷면에 전력 공급선을 배치해 반도체 성능개선 등에 유리하여 2나노 이하 공정에 도입될 전망



(D램) 미세화 노력이 지속되고 있으며 차세대 D램 기술로 3D D램, 4F² 등을 연구중

- 주요 기업은 1c(11나노), 1d(10나노대)로의 업그레이드 계획을 보유하며, 이후 차세대 D램 기술로 3D D램, 4F² 개발 등을 추진
- 3D D램은 3D 낸드플래시와 유사한 개념으로 D램을 얹힌 채로 적층해 성능과 공간효율성을 높이는 방식으로 연구중
- F²(F-Square)는 셀의 단위 면적 비율로 D램 셀 배열 구조는 8F²에서 6F²로 진화했으며 6F²는 10나노 이하 D램 상용화에는 구조적 어려움이 있는 것으로 알려짐

(낸드플래시) 낸드플래시는 고집적, 고용량에 대한 요구 등으로 현재 200단에서 2030년 1,000단으로 발전할 전망

- 1987년 도시바가 낸드플래시를 개발한 이후 25년간 2D 구조를 사용했으나 2013년 삼성전자가 3D 낸드플래시를 상용화하면서 3D가 2D를 대체
- 3D 낸드플래시는 2013년 24단에서 2023년 200단 이상으로 발전했으며, 2024~2025년에 300단, 2025~2026년에 400단 낸드플래시가 양산될 전망
- 삼성전자는 2030년 1000단 낸드플래시 개발을 목표로 기술개발을 추진

Ⅲ. 첨단 패키징 : 이종집적을 중심으로

첨단 패키징은 다중·복수의 칩을 하나의 패키지로 제조하면서 반도체 성능향상, 제조 비용 절감 등을 실현

- 기존 패키징은 칩의 구동 및 보호를 위한 목적이었으나, 첨단 패키징은 반도체의 미세화, IT기기의 융합 등에 따라 소자의 고성능화, 다기능화, 소형화를 구현
- 주요 첨단 패키지 유형은 2.5D, 3D, 칩렛(Chiplet), WLP(Wafer Level Package) 등
- 2.5D 패키징은 이종의 반도체 칩을 수평으로, 3D 패키징은 두 개 이상의 칩을 수직으로 붙여 단일 패키지에 통합하는 기술
- 2.5D 패키징은 이종의 칩을 PCB(인쇄회로기판) 대신 실리콘 인터포저(Si Interposer) 등을 통해 연결
- 3D 패키징은 두 개 이상의 칩을 수직으로 붙여 전송속도 및 공간 효율성을 향상시킨 기술
- 칩렛은 칩을 기능별로 분리하여 칩 조각(칩렛)으로 별도 제조한 후 단일 패키지로 조립하는 기술로 수율, 비용 효율성 등이 높음



IV. 결론 및 시사점

반도체산업의 패러다임 변화로 반도체 구조, 공정, 장비와 소재 등의 혁신을 위해 종합 생태계 구축 및 지속적인 기술개발이 요구됨

- 반도체 미세화의 한계를 돌파하고 옹스트롬(0.1나노) 시대가 개화하기 위해 노광 기술의 발전, 트랜지스터 아키텍처 진화, 고유전 물질 등의 개발 및 동향 모니터링이 필요
- 반도체 제조 및 차세대 공정기술 개발은 단일 기업이 주도하기 어려워 첨단 장비와 소재가 함께 연계되는 종합 생태계 구축이 필요

첨단 패키징의 중요성이 커졌으나 우리나라의 반도체 후공정 기술수준은 선도국과 격차가 커서 정부의 정책적 지원 확대가 필요

- 우리나라 후공정 분야의 기술수준은 최고 기술보유국 대비 66.3%, 기술격차는 3.4년
- 패키지는 반도체 산업 분야에서 중국의 세계시장 점유율이 가장 높은 부분으로 10대 기업중 3개 기업이 중국기업이며 한국기업은 삼성전자 유일
- 국내 패키지 기업은 메모리 기반기술로 첨단 패키지기술 경쟁력이 낮고 연구생태계가 취약하여 원천기술 및 전문인력 확보, R&D 지원 등이 필요

메모리반도체는 기술 변화 뿐만 아니라 범용 제품에서 고객 맞춤형 반도체(HBM 등)로 발전하고 있어 고객사와 긴밀한 협업체계 구축 등이 필요

- D램은 범용제품 중심의 구조였으나 이종집적(Heterogeneous Integration) 패키징의 부상, IT기기 Form Factor(디자인)의 변화 등으로 고객 맞춤형 반도체 수요 증가
- 메모리반도체 기업의 사업모델은 소품종 대량생산 구조에서 고객맞춤형 다품종 생산 구조로 변화할 전망



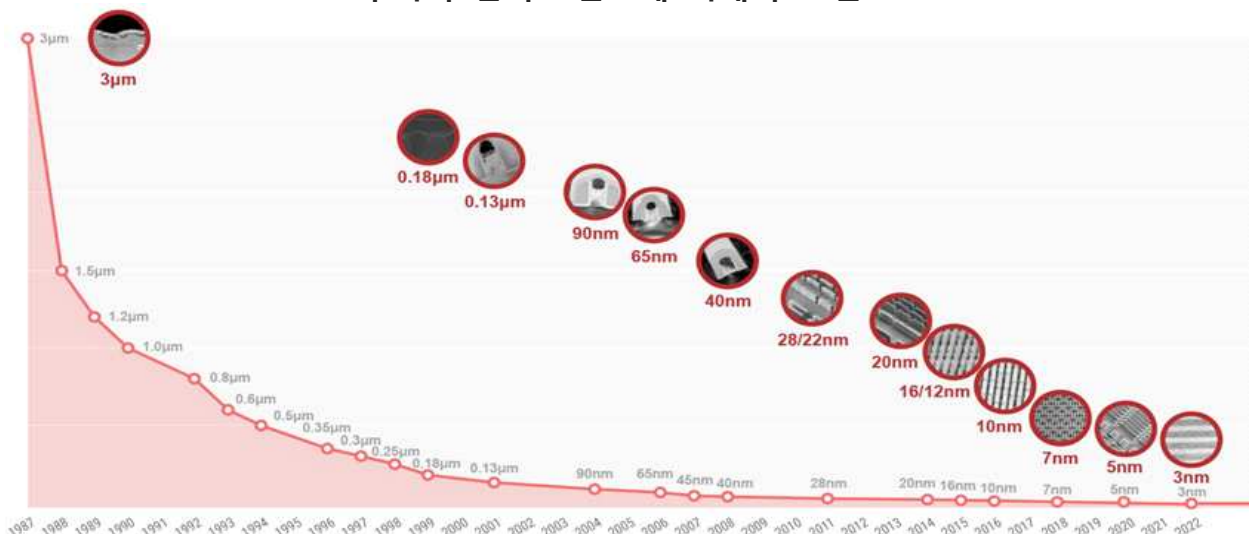
I. 반도체 미세화의 한계 및 대안

1. 반도체산업의 기본 원칙: '무어의 법칙'

'무어의 법칙'은 약 2년마다 반도체 미세화로 IT기기의 성능이 2배로 높아지는 기술-경제모델로 IT산업 발전을 견인해왔음

- 인텔의 공동 설립자 고든 무어는 반도체 집적회로의 성능이 약 2년마다 2배 증가하고 가격은 1/2로 하락한다는 '무어의 법칙'을 제시
 - 반도체 회로의 선폭이 좁아질수록 전자의 이동거리가 단축되면서 반도체의 성능은 향상되고 반도체의 소형화로 웨이퍼당 생산되는 칩 물량 증가로 가격은 하락했음
 - 반도체의 성능은 단위 면적당 트랜지스터의 수로 평가하며 트랜지스터의 크기가 작을수록 반도체의 트랜지스터 밀도가 높아짐
- '무어의 법칙'에 따라 지난 50년간 미세화가 추진되면서 반도체 회로의 선폭은 1970년대 10 μ m(마이크로미터, 1000나노=10⁻⁶m)에서 3나노(nm, 10⁻⁹m)로 발전
 - 인텔이 1971년에 출시한 세계 최초의 상업용 마이크로프로세서(CPU) '4004'는 10 μ m, 1989년에 출시한 486 프로세서는 1 μ m 미만, 1995년에 출시한 펜티엄 프로는 350나노로 발전
 - * 1 μ m은 모발 굵기의 1/10, 1나노는 모발 굵기의 10만분의 1 수준
- '무어의 법칙'으로 소비자들은 낮은 가격에 고성능 반도체가 탑재된 IT기기 등을 구매하며 IT산업도 발전을 지속

무어의 법칙 : 반도체 미세화 트렌드



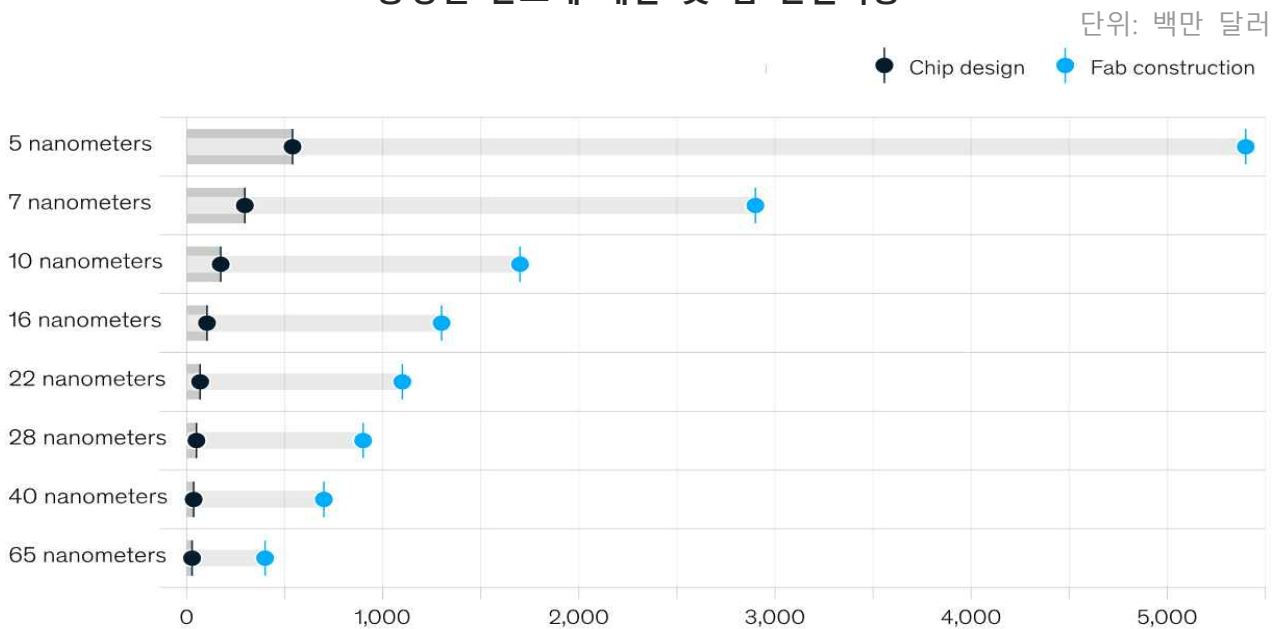
자료: KLA.



반도체산업은 지난 50년간 미세화(Scaling)를 통해 성능(집적도)을 향상시켜왔으나 2020년 이후 초미세화가 물리적 한계에 근접하면서 무어의 법칙이 한계에 직면

- 반도체가 미세화될수록 공정의 복잡성 등으로 반도체 제조 비용이 상승
 - 첨단 반도체 제조는 수백 단계의 공정이 필요하고 설계 규칙도 굉장히 복잡하여 집적도 향상으로 얻은 비용 절감의 효과가 제조 비용 증가 등으로 상쇄됨
 - 5나노 반도체 개발 비용은 5.4억 달러로 65나노 반도체 개발 비용 28백만 달러 대비 약 20배, 5나노 팹 건설비는 54억 달러로 65나노 팹 건설비 4억 달러 대비 13배 높음
- 반도체의 회로 선폭이 좁아지면 트랜지스터 간 간격이 좁아지면서 전류 누설 등 간섭에 의한 불량률도 증가하며 1나노 이하는 원자 레벨로 기술·공정 난이도 급증
- 무어의 법칙이 유효하지 않으면 더 성능 좋은 IT기기를 소비자가 수용하는 가격에 만들기 어려워져 IT산업 성장을 저해

공정별 반도체 개발 및 팹 건설비용



자료: 맥킨지.

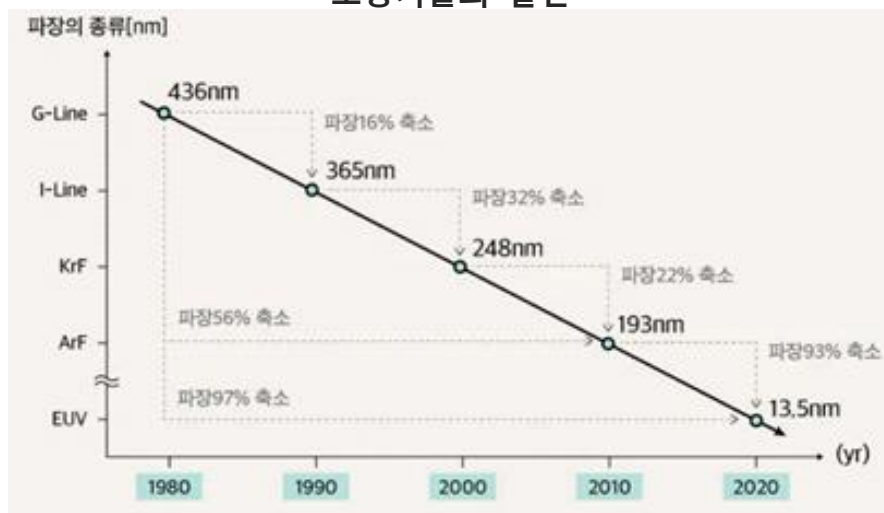


2. '무어의 법칙' 한계 극복 방안 : More Moore와 More Than Moore

반도체의 성능향상을 위해 미세화 노력을 지속하되 More Moore와 More Than Moore가 대안으로 부상

- (미세화) 반도체 미세화는 노광을 중심으로 발전했으며 미세화를 지속하기 위해 첨단 공정에 고가의 EUV(Extreme Ultraviolet, 극자외선) 노광장비 등을 사용
 - 노광장비는 광원의 파장 길이에 따라 KrF(불화크립톤, 248nm(나노미터)), ArF(불화아르곤, 193nm), EUV(13.5nm) 등으로 분류하며 파장이 짧을수록 미세화에 유리
 - EUV 노광장비는 네덜란드 ASML이 독점적으로 공급하며 EUV 노광장비 2~3천억원, 차세대 EUV 노광장비인 High-NA(High Numerical Aperture)는 5천억원 수준으로 추정
 - ASML은 2035년에 Hyper NA EUV 노광장비 출시를 위해 R&D중
- 2023년 10월, 캐논은 2나노까지 구현이 가능한 나노임프린트리소그래피(NIL) 장비를 공개하며 ASML의 아성에 도전
 - 나노임프린트리소그래피는 5나노 수준의 반도체를 제조할 수 있으며 2나노까지 제조가능한 기술로 EUV보다 속도는 느리지만 가격이 낮고 전력 소요량도 1/10 수준
 - 캐논은 2025년 가동을 목표로 나노임프린트리소그래피 장비를 생산할 공장을 건설중이며 캐논은 동 기술이 EUV를 추월하지 않지만 새로운 기회와 수요를 창출할 것으로 판단¹⁾

노광기술의 발전



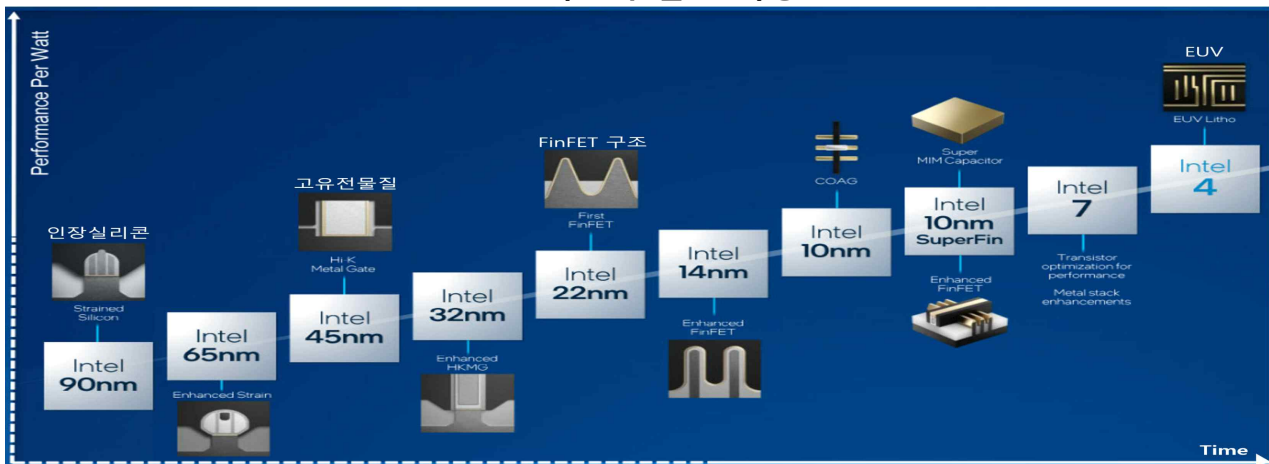
자료: SK하이닉스 뉴스룸.

1) 한국경제, '첨단 반도체 제조장비 내놓은 캐논...ASML에 가격 '승부수'', 2023.11.6



- (More Moore) 반도체의 **소자 구조, 공정, 소재 혁신** 등을 통해 반도체의 집적도를 높이는 방안
 - 노광에 의존한 반도체 미세화 속도가 둔화되면서 반도체 소자, 구조, 공정, 소재 혁신 등에 대한 관심이 높아짐
 - 반도체산업을 선도하던 인텔은 90나노부터 반도체의 성능을 높이고 저전력을 구현하는 인장 실리콘(Strained Silicon)²⁾ 기술을 적용
 - 인텔은 45나노부터 고유전 물질(High-K)을 사용해 누설전류를 감소시키고 유전체의 두께를 줄였으며 22나노부터 트랜지스터 구조를 변경 (Planar FET→ FinFET)
 - 고유전 물질은 더 많은 전하를 축적 가능하며, Planar FET은 채널과 게이트에서 가해지는 전압의 접촉면이 평면인 구조, FinFET은 채널과 게이트 전압 접촉면이 3면인 구조³⁾

트랜지스터 발전 과정



자료: 인텔.

- (More than Moore) 반도체 전공정⁴⁾의 한계를 **후공정(패키징)**으로 혁신하는 새로운 패러다임
 - 첨단 패키징은 컴퓨팅 성능을 향상시키는 비용 효율적 방식으로 다중·복수의 칩을 하나의 패키지로 제조하면서 반도체 성능 향상, 제조비용 절감 등을 실현

미세화 한계를 극복하기 위한 대안으로 국제반도체기술로드맵위원회(ITRS)는 More Moore와 More Than Moore를 제시하여 이를 기반으로 반도체 기술 로드맵을 살펴보고자 함

2) 트랜지스터에 있는 실리콘 원자들 사이의 간격을 늘려 트랜지스터를 통과하는 전자의 움직임에 대한 원자의 간섭이 감소하도록 함
 3) FET(트랜지스터)은 전자를 공급해주는 Source와 전자가 빠져나가는 Drain 양단 간에 전류가 흐르는 채널과 채널에 흐르는 전류의 흐름을 제어하는 게이트로 구성
 4) 반도체 제조공정은 웨이퍼에 회로를 인쇄하는 전공정과 개별칩으로 분리·조립·검사하는 후공정으로 분류



II. 주요 반도체 기술 로드맵

1. 파운드리

(미세화) 주요 기업의 최신 공정은 3나노이며 1나노까지 양산 로드맵을 발표, 2030년에 1나노 이하로 진입할 전망

- TSMC와 삼성전자는 현재 3나노를 양산중이며 2025년 2나노, 2027~2028년에 1나노를 양산할 계획
 - 삼성전자는 2022년 3나노, 2025년 2나노, 2027년 1.4나노를 양산할 계획
 - TSMC는 2022년 3나노, 2025년 2나노, 2028년 1나노를 양산할 계획
- 후발주자인 인텔은 인텔4(7나노)를 양산중이나 경쟁구도 전환을 위해 2023년말 3나노, 2024년 20A(2나노), 2025년 18A(1.8나노) 양산 추진
- 주요 기업은 반도체 미세화를 위해 EUV 노광장비를 사용중이며 1나노부터는 차세대 EUV 장비인 High-NA EUV 장비가 활용될 전망
 - 삼성전자는 2018년 7나노 공정, TSMC는 2019년 N7+에 세계 EUV를 적용했으며 인텔은 2023년 인텔4(7나노)에 최초로 EUV 노광장비를 적용
 - 인텔은 High-NA EUV 장비를 적용하여 18A(1.8나노)를 생산할 계획이며, 삼성전자 등은 1.4나노부터 High-NA EUV 장비 사용 전망
 - 기존 EUV 장비 사용시 멀티 패터닝을 거쳐야하여 공정수 증가로 시간과 비용이 증가

주요 파운드리 공정 로드맵

				
2022	상반기	3nm 1 세대(GAA)	3nm 1 세대(FinFET)	인텔 7 10nm(FinFET)
	하반기			인텔 4 7nm(FinFET)
2023				인텔 3 7nm(FinFET)
2024	상반기	3nm 2 세대(GAA)		20A 2nm(GAA)
	하반기			18A 1.8nm(GAA)
2025		2nm(GAA)	2nm(GAA)	
2026				
2027		1.4nm(GAA)		
2028			1nm(GAA)	

자료: 하이투자증권.



- 미세화의 물리적인 한계는 1나노로 보는 의견이 많으나 IMEC은 2030년 0.7나노, 2032년 0.5나노, 2034년 0.3나노 순으로 미세화가 지속될 것으로 전망⁵⁾
- 미세화의 한계는 1980년대 100나노, 1990년대 50나노로 추정했으나 노광기술의 발전, 트랜지스터 구조의 혁신 등으로 옹스트롬(Ångström, 0.1나노) 시대가 개화할 전망
- 미세화 기술은 2년을 주기로 세대가 교체되나 미세화의 난이도가 상승하면서 선폭 축소폭은 둔화될 전망

(구조) 트랜지스터 구조는 Planar FET(Field-Effect Transistor)에서 FinFET, GAA (Gate-All-Around) FET, CFET(Complementary FET)으로 발전할 전망

- 트랜지스터는 전자를 공급해주는 Source와 전자가 빠져나가는 Drain 양단 간에 전류가 흐르는 채널과 채널에 흐르는 전류의 흐름을 제어하는 게이트로 구성
- 트랜지스터 구조는 채널과 게이트 전압 접촉면이 평면인 Planar FET에서 3면인 FinFET, 4면인 GAA(Gate-All-Around)로 발전
- (Planar FET) 채널과 게이트에서 가해지는 전압의 접촉면이 **평면**인 구조로 Planar FET을 통해 동작 전압을 낮추는 것은 20나노까지가 한계
 - 트랜지스터의 크기가 작아질수록 채널 길이를 줄여왔지만 단채널(Short Channel) 현상⁶⁾이 발생하면서 평면 구조로 채널 길이를 줄이는데 한계에 봉착
- (FinFET) 채널과 게이트 전압 접촉면이 **3면**인 구조로 채널 통제 능력이 Planar FET보다 높아 2012년 인텔의 22나노 CPU에 처음 도입됨
 - 나노는 트랜지스터에서 전류를 흘리거나 끊는 게이트의 길이가 기준이었으나 게이트 길이 축소가 한계에 직면하자 트랜지스터 구조를 2D에서 3D로 전환했으며 이후 기업들은 게이트 길이와 무관하게 성능개선이 이뤄지면 마케팅 목적으로 7나노 등으로 명명
 - 얇고 길게 세워진 채널의 모양이 물고기의 지느러미(Fin)와 유사하여 FinFET으로 불리며, 삼성전자는 2012년 14나노부터 FinFET을 적용했으며 TSMC는 3나노에도 FinFET을 적용
- (GAA) 게이트가 채널의 **4면**을 둘러싸는 구조로 전류 흐름을 세밀하게 제어 가능
 - 2022년 삼성전자가 세계 최초로 3나노 공정에 GAA 도입했으며 TSMC는 2025년 2나노부터, 인텔은 2024년 인텔20A(2나노)에 GAA 도입 계획
 - GAA는 채널 구조가 얇은 종이 모양인 Nanosheet 구조가 1.4나노까지 사용되나⁷⁾ 1나노부터는 Nanosheet의 확장 개념인 Forksheet 구조가 사용될 전망
 - * GAA 나노시트를 삼성전자는 MBCFET(Multi-Bridge Channel Field Effect Transistor), 인텔은 RibbonFET으로 명명

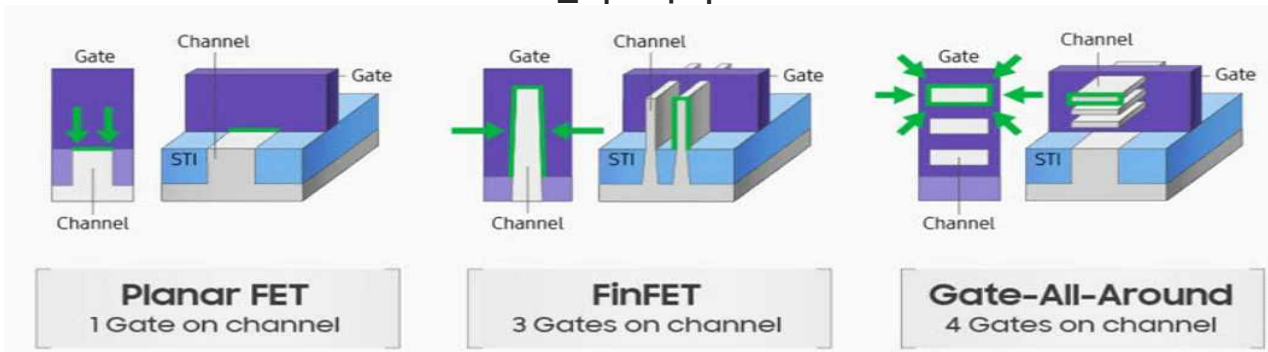
5) 원자의 크기는 0.2나노

6) 트랜지스터의 과도한 구조적 축소로 인해 전류 조절 기능을 상실한 상태에서 나타나는 현상

7) 삼성전자는 3나노에는 Nanosheet 3개, 1.4나노에는 Nanosheet 4개를 사용할 계획



트랜지스터 구조



주: 게이트 1면을 활용하면 Planar, 3면 사용하면 FinFET, 4면 사용하면 GAA (초록색 참조)
자료: 삼성전자.

- 0.7나노까지는 GAA 구조를 사용하나 2032년 0.5나노 출시와 더불어 CFET (Complementary FET, 상보형 전계효과 트랜지스터)으로 전환이 시작될 전망
- CFET은 집적도 향상을 위해 2차원(2D)의 트랜지스터 배치 구조를 3D(적층)으로 바꾼 기술
 - 삼성전자는 DS(Device Solution)부문 반도체연구소와 파운드리 사업부에서 관련 R&D를 공동 추진중이며 자사 기술을 3DSFET으로 명명

로직 반도체 기술 로드맵



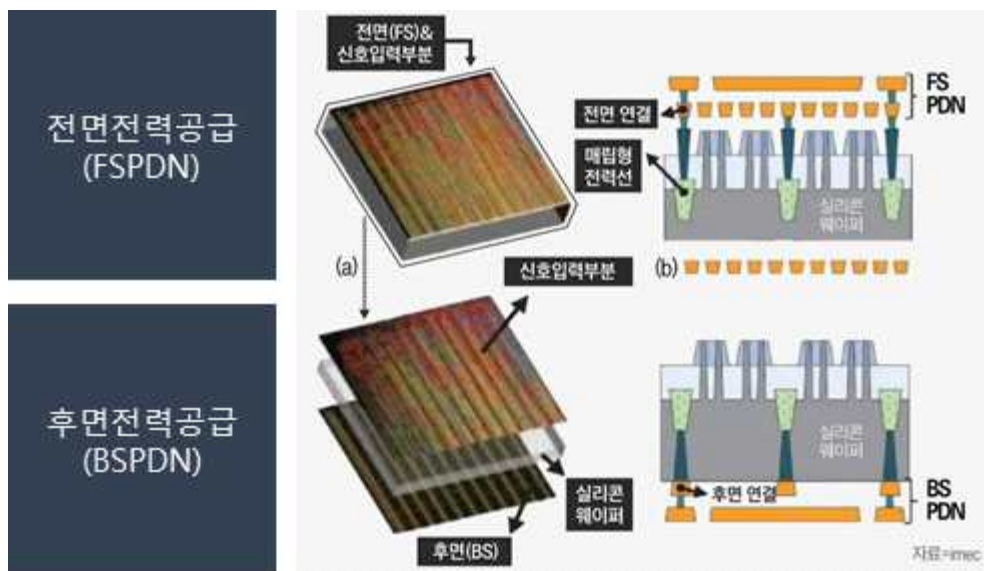
주: N은 Node, A는 앙스트롬(0.1나노)
자료: IMEC(2022).



(구조) 전면전력공급(FSPDN, Front Side Power Delivery Network)에서 웨이퍼의 뒷면을 활용하는 후면전력공급(BSPDN, Back Side Power Delivery Network)으로 전환

- 현재 사용되는 전면전력공급(FSPDN) 구조는 회로가 그려진 웨이퍼 전면에 전력 공급선이 배치되며 회로 선폭 미세화 등으로 노이즈 등이 발생하기 쉬움
- 후면전력공급(BSPDN, Back Side Power Delivery Network)은 웨이퍼 뒷면에 전력 공급선을 배치해 반도체 성능개선 등에 유리하여 2나노 이하 공정에 도입될 전망
- 후면전력공급(BSPDN)은 2019년 유럽 최대 반도체연구소 IMEC이 처음 제시한 개념으로 인텔, 삼성전자, TSMC 등이 개발중이며 2나노부터 적용할 계획
- 인텔은 자사 BSPDN 기술을 PowerVia로 명명하고 2024년에 20A 공정에 적용할 예정이며, TSMC는 2026년 2나노, 삼성전자는 2027년 1.4나노에 적용할 계획
- 후면전력공급(BSPDN)에는 웨이퍼 뒷면 가공을 위한 화학적 기계적 연마(CMP, Chemical Mechanical Polishing, 평탄화) 기술, 신호 라인과 전력 라인 연결을 위한 TSV(Through silicon via)⁸⁾ 기술력 확보가 중요

전면전력공급(FSPDN) 및 후면전력공급(BSPDN) 개념도



자료: imec, 조선일보 재인용.

8) 반도체 칩에 관통 전극을 형성하여 초고속 구현이 가능



2. D램(Dynamic Random Access Memory)

(미세화) D램은 현재 1b(12~13나노⁹⁾)가 최신 기술이며 주요 기업은 1c(11나노), 1d(10나노대)로의 업그레이드 계획을 보유했다

- D램 공정이 10나노대에 진입하면서 미세공정 난이도가 높아지자 기업들은 회로 선폭의 미세화 수준을 세대 또는 알파벳으로 표기
 - * 1x(10나노 1세대, 18~19나노) → 1y(10나노 2세대, 16~17나노) → 1z(10나노 3세대, 15나노) → 1a(10나노 4세대, 14나노) → 1b(10나노 5세대, 12~13나노) → 1c(10나노 6세대, 11나노)
- 주요 기업은 D램 미세화를 위해 셀 커패시터(Cell Capacitor) 용량 확보, Low Resistance(저저항) 배선 기술 등을 추진
 - (커패시터) D램이 미세화되면서 셀 커패시터의 면적은 작아지더라도 요구되는 정전 용량(Capacitance)¹⁰⁾은 유지해야해 고유전율(High-K)¹¹⁾ 소재의 지속적인 개발이 필요
 - (저저항 메탈) 미세화와 3D 구조로의 변화는 Word Line¹²⁾과 Bit Line¹³⁾의 저항값 증가로 이어져 이를 해결하기 위해 기존 W(텅스텐)과 이보다 저항이 높은 TiN 메탈 게이트 중심의 소재 변화가 필요하며 후보물질은 Ru(루테튬)과 Mo(몰리브덴)
- EUV 노광장비 주변 기술(포토리지스트, 펄리클 등)은 노광장비 수준만큼 발전하지 못하여 주변 기술이 발전하면 10나노 이하 D램 양산도 가능할 전망
 - 삼성전자는 2020년, SK하이닉스는 2021년 1a부터 D램에 EUV를 적용했으며 마이크론은 2025년 1c부터 EUV를 적용할 전망
 - 삼성전자는 1a의 5개층, SK하이닉스는 1a와 1b의 각각 1개 레이어에 EUV를 적용
 - SK하이닉스는 빠르면 2025년부터 High-NA EUV를 활용한 D램 시제품을 만들 계획
- 주요 기업은 3D D램 연구와 더불어 4F² 개발 등도 병행¹⁴⁾
 - D램 셀 배열(Array) 구조는 8F²에서 6F²로 진화했으며 6F²는 10나노 이하 D램 상용화에는 구조적 어려움이 있는 것으로 알려짐
 - F²(F-Square)는 셀의 단위 면적 비율로, 4F²는 1bit를 저장하게 되는 커패시터의 면적 대비 유닛 셀(커패시터를 제어하는 트랜지스터 포함)의 면적이 4배인 것을 의미¹⁵⁾

9) 삼성전자와 SK하이닉스는 12.8나노, 마이크론은 13.3나노. 삼성전자는 12.3나노로 개발하려다가 12.8나노로 선회

10) 커패시터가 전하를 저장하는 능력

11) 유전상수가 높을수록 유전체는 더 많은 전하를 축적할 수 있음

12) 트랜지스터의 온오프 스위칭을 처리

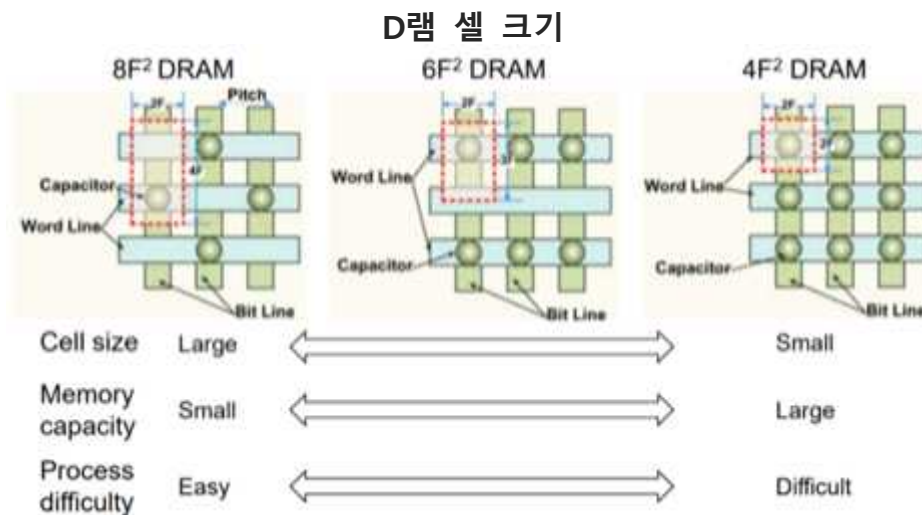
13) 반도체 내에서 데이터를 읽고 쓰는 역할

14) 디일렉, "D램에도 하이브리드 본딩 적용된다", 2023.10.12

15) SK하이닉스



- $4F^2$ 는 트랜지스터를 수직으로 세우는 방식으로 밀도를 높이는 기술로 전체적인 면적을 약 1/4 줄일 수 있음
- 삼성전자는 2023년 반도체연구소 내에 관련 개발팀을 구성했으며 마이크론도 3D D램의 난이도가 높아 $4F^2$ 를 고민중



(구조) 차세대 D램으로 3D D램이 연구되고 있음

- D램은 트랜지스터와 커패시터(Capacitor)로 구성되어 선폭을 줄이는데 한계가 있으며 3D D램은 개발 초기 단계로 기술 컨셉이나 구체적인 방향성은 미정
- 3D D램은 3D 낸드플래시와 유사한 개념으로 D램을 얹힌 채로 적층해 성능과 공간 효율성을 높이는 방식으로 연구중
- 마이크론이 3D D램 연구에 가장 적극적이며, SK하이닉스와 삼성전자도 관련 연구중
 - 3D D램은 EUV 장비가 사용되지 않아 EUV 장비 도입이 늦은 마이크론이 3D D램 연구에 가장 적극적
 - 삼성전자는 10나노 이하는 3D 구조 도입 준비, 이를 통해 단일 칩에서 100Gb 이상으로 용량을 확장할 계획¹⁶⁾

16) 삼성 메모리 테크 데이 2023



(패키징) 데이터 처리속도 향상을 위해 다수의 D램을 적층하고 실리콘관통전극(TSV, Through Silicon Via)으로 수직 연결하는 고대역폭메모리(HBM, High Bandwidth Memory)가 부상

- HBM은 GPU(Graphics Processing Unit)를 보조하는 GDDR(Graphics Double Data Rate) D램을 대체하기 위해 개발되었으며 AI의 성장으로 수요가 큰 폭으로 증가
- HBM은 높은 가격 등으로 슈퍼컴퓨터 등에서 제한적으로 사용되었으나 2022년 Chat GPT가 촉발한 AI 열풍 등으로 AI서버에 탑재 증가
- HBM은 약 2년 단위로 기술이 발전해왔으나 세대교체 속도가 1년 내외로 단축될 전망
- SK하이닉스는 2014년 HBM(1세대), 2018년 HBM2(2세대), 2020년 HBM2E(3세대), 2022년 HBM3(4세대)를 출시했으며, 2024년에 HBM3E(5세대), 2025년에 HBM4(6세대)를 출시할 계획
- 삼성전자는 2023년 3분기 HBM3(4세대), 2024년 상반기 HBM3E(5세대), 2025년 6세대 제품을 양산할 계획
- 마이크론은 3세대 HBM2E를 양산중이며 4세대를 건너뛰고 2024년에 5세대 HBM3 공급을 추진¹⁷⁾
- SK하이닉스는 5세대 이후에는 초기 단계부터 AI 사업을 하는 고객사와 긴밀한 협업 속에 고객 맞춤형 제품으로 HBM을 개발할 계획
- AI 학습을 진행하는 방식에 따라 회사마다 필요로 하는 메모리의 스펙도 다변화될 전망

HBM 세대간 기술 비교

	HBM (2014)	HBM2 (2018)	HBM2E (2020)	HBM3 (2022)
Density	2Gb	8Gb	16Gb	16Gb
Bandwidth	128GB/s	307GB/s	460GB/s	819GB/s
Stack Height	4Hi(4-layer)	4Hi/8Hi	4Hi/8Hi	8Hi/12Hi
I/O speed	1Gbps	2.4Gbps	3.6Gbps	6.4Gbps
Capacity	1GB	4GB/8GB	8GB/16GB	16GB/24GB

자료: SK하이닉스.

17) 한국기업은 2010년대초부터 HBM을 시작했으나 마이크론은 HBM과 비슷하게 D램을 적층하는 HMC(Hybrid Memory Cube) 개발에 집중. 마이크론은 2018년에 HBM 관련 투자를 시작

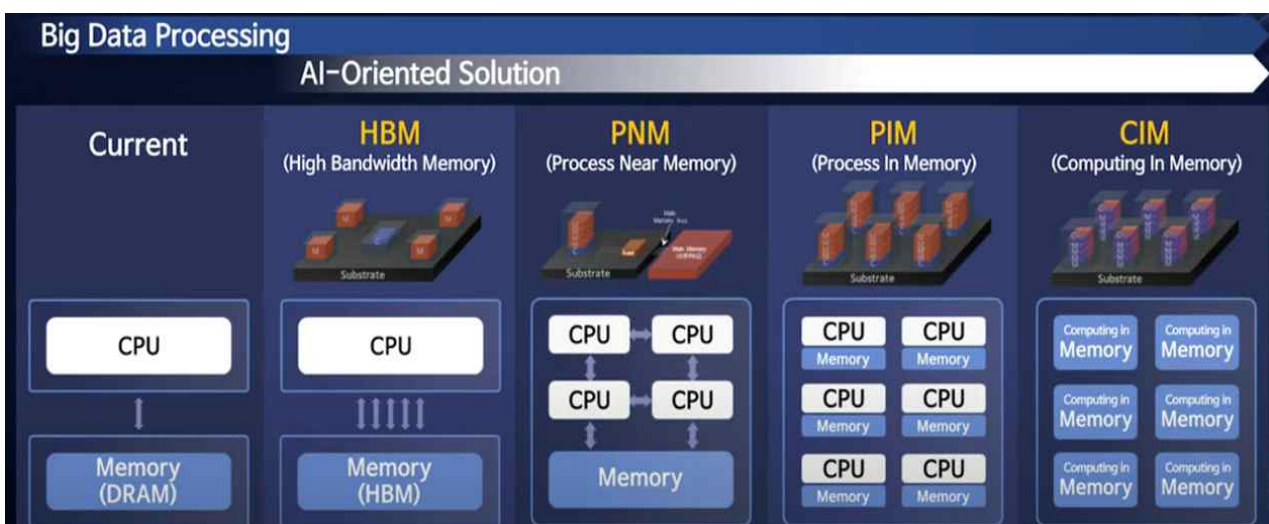


- HBM 시장은 2023년 40억 달러에서 2027년 200억 달러로 연평균 39% 성장하면서 D램 시장에서 HBM의 매출 비중은 동기간 8%에서 20%로 확대될 전망¹⁸⁾
- 현재 HBM의 가격은 D램 가격 대비 약 5~7배 높은 수준
- HBM 시장은 2023~2024년에는 SK하이닉스와 삼성전자가 양분하여 2024년 마이크로론의 시장점유율은 약 5% 수준으로 예상되나 중장기에는 3강 구도로 변화 전망

메모리에 AI 프로세서 기능을 탑재한 PIM(Processing-in-Memory) 등이 포스트 폰노이만 방식으로 주목받고 있음

- 폰 노이만 방식은 연산과 저장 기능을 분리한 방식이나 AI, 빅데이터 등은 데이터 처리량이 기하급수적으로 증가하여 연산속도를 제고할 수 있는 방안이 필요
- 포스트 폰 노이만 방식은 연산과 저장 기능이 통합되는 과정으로 PNM(Process Near Memory)에서 PIM(Process in Memory), CIM(Computing in Memory) 순으로 발전할 전망
 - PNM은 하나의 모듈에 메모리반도체와 프로세서가 탑재된 형태, PIM은 하나의 패키지에 메모리반도체와 프로세서가 융합된 형태
 - CIM은 하나의 Die¹⁹⁾ 내에서 메모리 반도체와 프로세서가 결합된 형태

AI의 부상에 따른 메모리반도체 솔루션



자료: SK하이닉스.

18) 옴디아

19) 패키지 작업을 하기 전 웨이퍼 상태에서 개별적인 패턴이 구현된 집적회로



3. 낸드플래시

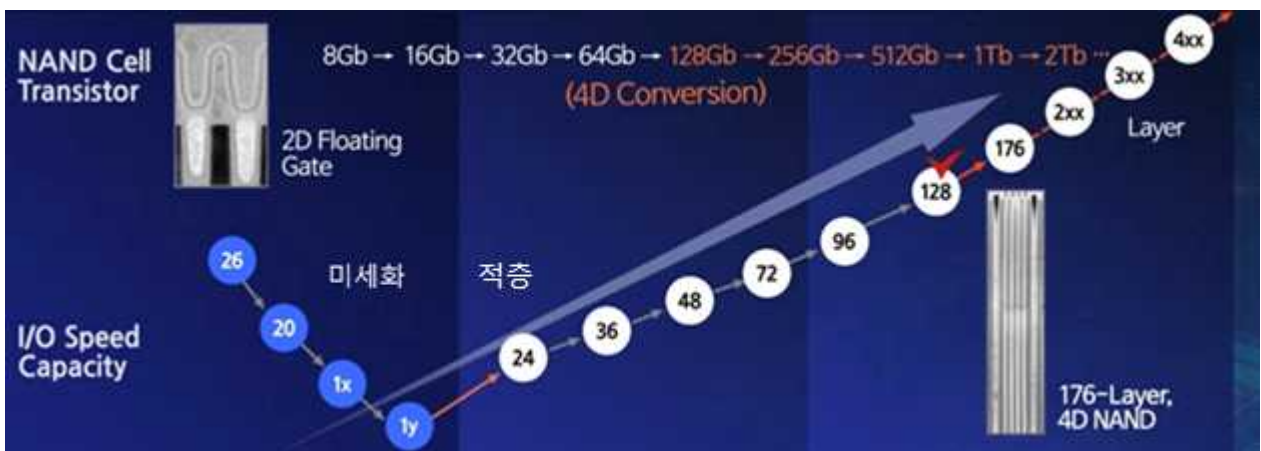
(미세화) 1987년 도시바가 낸드플래시를 개발한 이후 25년간 미세화가 진행되었으나 2013년에 삼성전자가 3D 낸드플래시를 상용화면서 3D가 2D를 대체

- 2D 구조는 단일 면적에 넣을 수 있는 셀의 수가 제한을 받고 셀이 작을수록 전자 누출 가능성이 높아져 데이터 저장공간인 셀을 수직으로 쌓는 3D 낸드플래시 도입
- 낸드플래시는 낮은 가격으로 고용량을 제공하는 것이 장점으로 미세화의 한계를 극복하기 위해 고가의 EUV 장비를 도입하기 어려워 트랜지스터를 3차원으로 전환

(구조) 낸드플래시는 고집적, 고용량에 대한 요구 등으로 현재 200단에서 2030년 1,000단으로 발전할 전망

- 3D 낸드플래시는 2013년 24단에서 2023년 200단 이상으로 발전했으며, 2024~2025년에 300단, 2025~2026년에 400단 낸드플래시가 양산될 전망
- 낸드플래시는 1세대 24단, 2세대 32단, 3세대 48단, 4세대 64~72단, 5세대 92~96단, 6세대 128단, 7세대 176단, 8세대 200단으로 진화
- 마이크론은 232단, 삼성전자는 236단, SK하이닉스는 238단 낸드플래시를 양산중
- 삼성전자는 2024년에 300단 이상(9세대), SK하이닉스는 2025년 상반기부터 321단 낸드플래시 양산을 추진

낸드플래시 기술 트렌드



자료: SK하이닉스.



- 삼성전자는 2030년 1000단 낸드플래시 개발을 목표로 기술개발을 추진
- 삼성전자는 2030년에 낸드플래시 1,000단 적층이 가능해야 낸드플래시의 지속적인 발전이 가능하다고 보고 기술개발 목표를 설정
- 그러나 낸드플래시의 단수가 높아지면 셀 간섭 최소화, 층별 높이 단축, 층별 저장용량 확대 등의 과제가 많아 삼성전자의 목표보다 제품 양산이 지연될 가능성이 있음
- SK하이닉스는 2019년 Flash Memory Summit에서 2025년 500단, 2030년까지 800단 이상의 낸드플래시 로드맵을 발표했으나 2025년 321단 양산을 추진

(구조) 낸드플래시의 가격경쟁력을 확보하기 위해 최소한의 Stacking으로 높은 단수의 셀을 적층하는 것이 중요한 기술 중 하나

- 낸드플래시는 단수가 증가하면서 싱글 스택(Stack)에서 더블 스택, 트리플 스택으로 진화
- 싱글 스택은 적층된 셀을 전기적으로 연결하기 위한 채널 홀(Channel Hole)을 상단에서 하단까지 한 번에 수직으로 뚫는 방식
- 낸드플래시는 단수를 늘릴수록 수직으로 연결하는 구멍(홀)을 깊게 뚫는 고도의 기술력이 요구되며 각 층의 두께를 얇게 하는 과정에서 저항이 증가하는 점도 난관
- 더블 스택은 2번, 트리플 스택은 3번에 걸쳐 채널홀 형성하고 결합하는 기술로 채널홀 형성은 쉬워지나 공정 수, 생산시간 등이 증가하여 원가경쟁력 등에서 불리
- 주요 기업은 현재 더블 스택을 사용하나 2025~2026년 이후 트리플 스택 적용 예상
- 더블 스택은 삼성전자가 176단, SK하이닉스와 마이크론 등은 72단부터 사용
- 삼성전자는 2024년 양산 계획인 9세대 300단 제품까지는 더블스택, 10세대(400단대) 제품부터는 트리플 스택을 적용하며 SK하이닉스는 321단에 트리플 스택 적용 예상

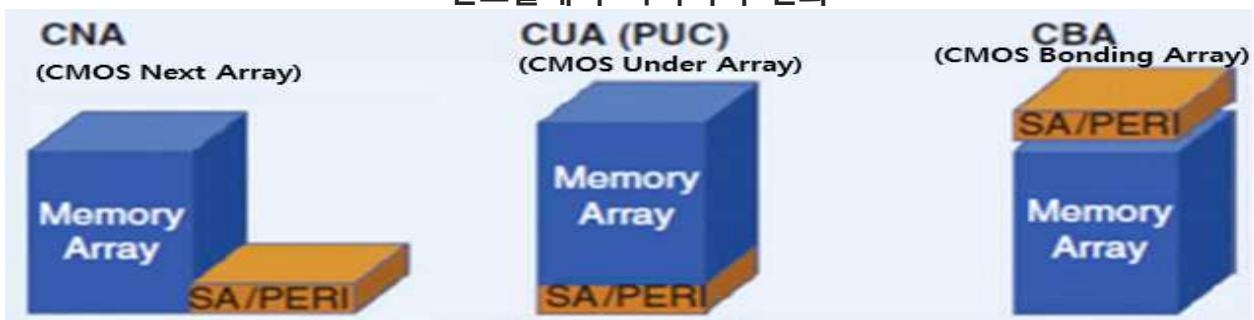
(패키징) 주요 기업은 300단 이상 낸드플래시에 하이브리드 본딩을 도입할 전망

- 하이브리드 본딩은 2개의 칩을 결합하는 이종집적을 활용해 제품 성능을 개선한 패키징 공정으로 로직 반도체 분야에서 광범위하게 사용됨
- 하이브리드 본딩은 패키지 본딩 공정의 궁극적 진화 기술로 전기 특성이 우수한 구리와 구리를 직접 연결해 신호 전달 속도를 높임
- 중국 YMTC가 최초로 3D 낸드플래시에 하이브리드 본딩을 도입했으며 낸드플래시의 적층 단수 증가 등으로 다른 기업들도 관련 기술 도입을 검토



- 낸드플래시는 셀과 주변 회로(Peri)가 한 장의 웨이퍼 위에서 만들어지며 초기에는 주변 회로가 셀 옆에 위치했으나 최근에는 집적도 개선을 위해 셀 아래에 위치
 - CNA(CMOS Next Array)에서 CuA(CMOS under Array) 구조로 발전했으며 CuA를 삼성전자는 COP(Cell Over Peripheral), SK하이닉스는 PUC(Peripheral Under Cell)로 명명
- 낸드플래시에 하이브리드 본딩을 도입하는 것은 주변 회로와 셀을 각각의 웨이퍼 위에서 생산하고 완성된 주변 회로와 셀을 이어 붙여 하나의 낸드플래시를 만듦
 - (단점) 낸드플래시 생산에 필요한 웨이퍼 수가 2배로 증가하여 비용이 증가하며 하이브리드 본딩 공정 구축을 위한 설비투자가 필요
 - (장점) 2가지 유형의 칩을 서로 다른 생산라인에서 제조하여 각자 유리한 공정 노드를 채택할 수 있으며, 이를 통해 생산시간 단축, 복잡도 개선 등의 가능
- 하이브리드 본딩은 2018년 YMTC가 최초로 낸드플래시에 도입
 - 현재의 COP·PUC 방식은 수백 단위 셀을 올리는 동안 셀 아래 위치한 주변 회로가 열적·물리적 스트레스를 많이 받아 주변 회로를 보호하기 위한 공정 제약이 큼
 - YMTC는 미국 Xperi의 특허 라이선스를 통해 개발한 자사 기술을 Xtacking으로 명명하고 직접 생산한 셀 웨이퍼와 파운드리 SMIC가 생산한 주변 회로 웨이퍼를 붙여 3D 낸드플래시를 생산하면서 CBA(CMOS Bonding Array) 구조를 도입

낸드플래시 아키텍처 변화



- 키옥시아가 2024년 출시 예정인 8세대 218단 낸드플래시에, 삼성전자와 SK하이닉스는 차세대 낸드플래시에 하이브리드 본딩 공정을 도입할 전망
- 삼성전자는 11세대 또는 12세대에 하이브리드 본딩 양산 적용 계획²⁰⁾
- SK하이닉스와 마이크론도 Xperi에게 각각 2020년, 2022년에 하이브리드 본딩 기술 라이선스를 부여받았으며 2026년 300단 이상 낸드플래시에 하이브리드 본딩을 적용할 가능성이 있음

20) 디일렉, "삼성·SK하이닉스도 낸드플래시에 하이브리드 본딩 적용 검토", 2023.11.30



Ⅲ. 첨단 패키징 : 이중집적을 중심으로

첨단 패키징이 미세화의 기술적, 경제적 한계를 돌파하는 패러다임 체인저로 주목받고 있음

- 기존 패키징은 반도체 소자의 신호전달, 전력공급, 열 방출 및 관리와 더불어 외부 환경으로부터 반도체 보호하며 하나의 칩을 하나의 패키지로 제조하는 기술 중심
 - 1970년대에 리드 프레임(Lead Frame)이 등장했으며 리드 프레임은 집게발 형태의 가는 전선(lead)으로 칩과 연결되어 반도체 칩과 기판과의 전기신호를 전달하고, 외부의 습기나 충격 등으로부터 칩을 보호 및 지지하는 골격 역할을 담당
 - 1990년대에는 IT기기의 소형화 등으로 더 빠른 전기적 인출이 필요해지면서 Ball Grid Array(BGA) 형태의 패키지
 - BGA는 반도체 칩을 PCB(Printed Circuit Board) 기판에 연결하고 기판의 하단에 수많은 둥그란 Solder Ball이 존재하는 형태
- 첨단 패키징은 컴퓨팅 성능을 향상시키는 비용 효율적 방식으로 다중·복수의 칩을 하나의 패키지로 제조하면서 반도체 성능 향상, 제조비용 절감 등을 실현
 - 기존 패키징은 칩의 구동 및 보호를 위한 목적이었으나, 반도체의 미세화, IT기기의 융합 등에 따라 소자의 고성능화, 다기능화, 소형화를 구현하는 첨단 패키징의 중요성 부각
 - TSMC, 인텔 등 주요 기업이 첨단 패키징사업을 강화하고 있으며 파운드리 서비스를 설계부터 패키징까지 전주기 확대
 - 주요 첨단 패키지 유형은 2.5D, 3D, WLP(Wafer Level Package) 등이며 반도체 전공정 기술의 도입 등을 통해 첨단 패키징 기술로 발전

패키징 기술의 변화

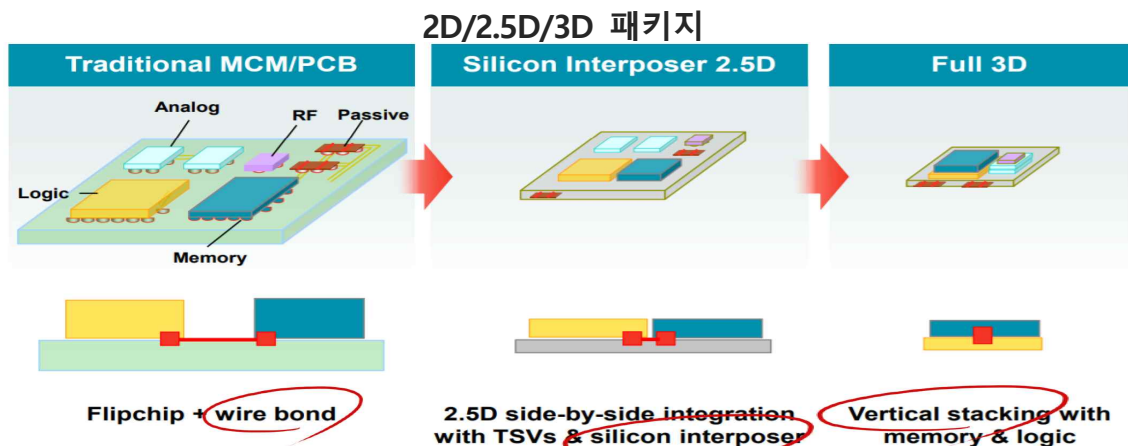
구분	기존 패키징	첨단 패키징
공정 노드	Legacy 공정	15nm 이하 미세공정
대표 기술	리드프레임, FBGA(Fine Ball Grid Array) 등	2.5D, 3D, WLP(웨이퍼레벨패키징)등
기능	보호/연결 기능	기존 기능 외 시스템 레벨 통합

자료: 반도체 미래기술 로드맵(2023)



2.5D 패키징은 이종의 반도체 칩을 수평으로, 3D 패키징은 두 개 이상의 칩을 수직으로 붙여 단일 패키지에 통합하는 기술

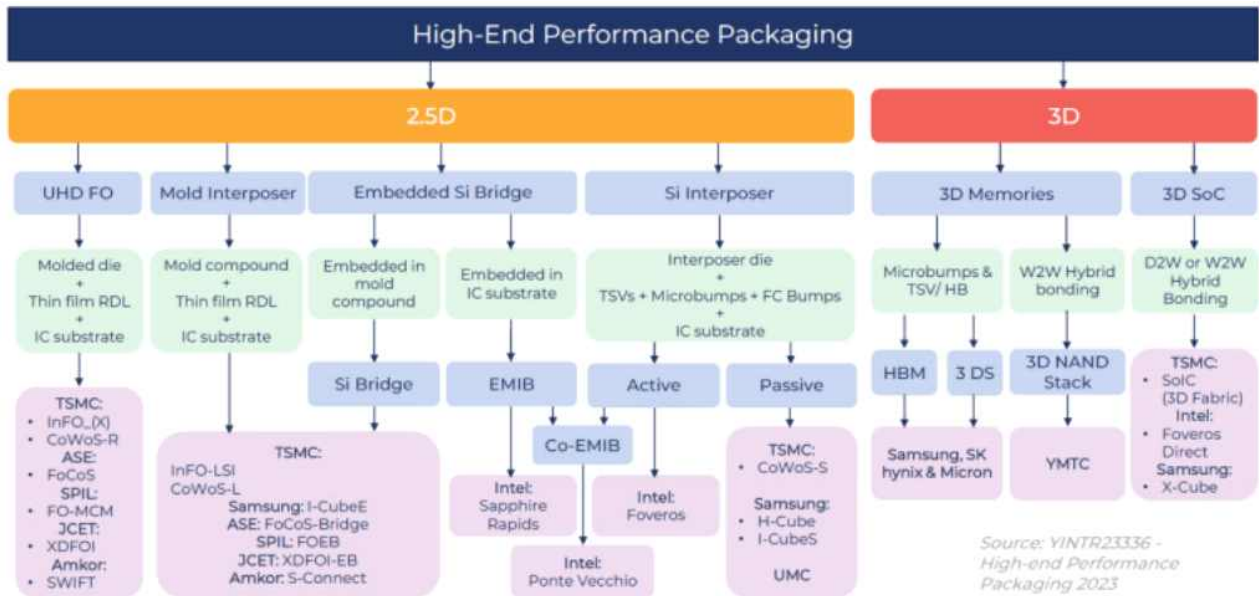
- 2.5D 패키징은 이종의 칩을 PCB(인쇄회로기판) 대신 실리콘 인터포저(Si Interposer) 등을 통해 연결
 - 로직 칩(시스템반도체)과 고대역폭 메모리(HBM)을 연결하는데 적용중인 실리콘 인터포저는 고가로 패키지 단가 상승의 원인으로 작용
 - 인터포저는 반도체 칩과 기판(Substrate)을 전기적으로 연결해주는 층으로 이종의 칩을 다수의 통로로 이어주며 실리콘 인터포저(Si Interposer)가 가장 일반적
 - 대표적인 2.5D 패키징 방식은 TSMC의 CoWoS(Chip on Wafer on Substrate), 인텔의 EMIB(Embedded Multi-die Interconnect Bridge), 삼성전자의 I-Cube S
 - TSMC는 2012년 CoWoS를 처음 소개했으며 엔비디아의 A100, H100에 사용
- 3D 패키징은 두 개 이상의 칩을 수직으로 붙여 전송속도 및 공간 효율성을 향상시킨 기술로 TSV, 하이브리드 본딩이 주요 기술
 - 적층 기술은 와이어(Wire)에서 TSV(Through Silicon Via, 실리콘 관통전극)를 거쳐 하이브리드 본딩 기술로 발전할 전망
 - 하이브리드 본딩은 화학기계적연마(CMP) 등 전공정 기술이 사용되어 파운드리와 인텔, 삼성전자 등 IDM(종합반도체기업) 중심으로 사업을 영위할 전망
 - 하이브리드 본딩을 인텔은 Foveros Direct로 명명
 - 대표적인 3D 패키징 방식은 인텔의 Foveros, TSMC의 SoIC(System of Integrated Chips), 삼성전자의 X-Cube 등



주: 로직 칩과 메모리반도체는 가까울수록 신호를 주고받는 속도가 빨라져 성능이 향상됨
자료: 삼성증권.



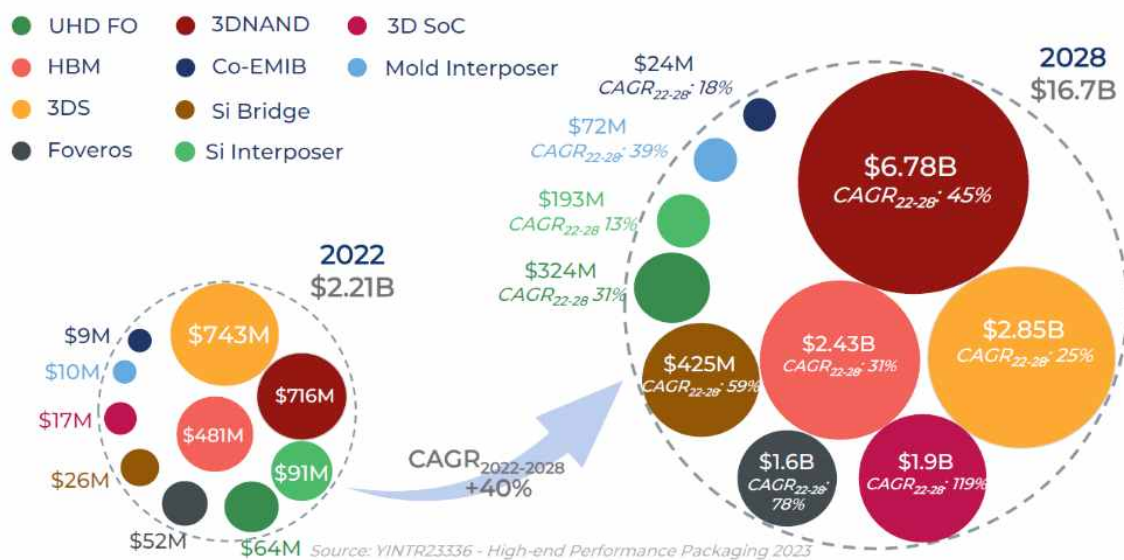
2.5D/3D 패키징 기술 분류



주: 1) UHD FO는 Ultra High Density Fan Out(FO)
2) ■는 해당 패키징 기술 활용 기업 및 기업별 기술명
자료: Yole.

- 2.5D/3D 패키징 시장은 2022년 22억 달러에서 2028년 167억 달러 이상으로 연평균 40% 성장할 전망
- 3D 패키징 기술이 성장을 견인할 전망

2.5D/3D 패키징 시장규모 전망



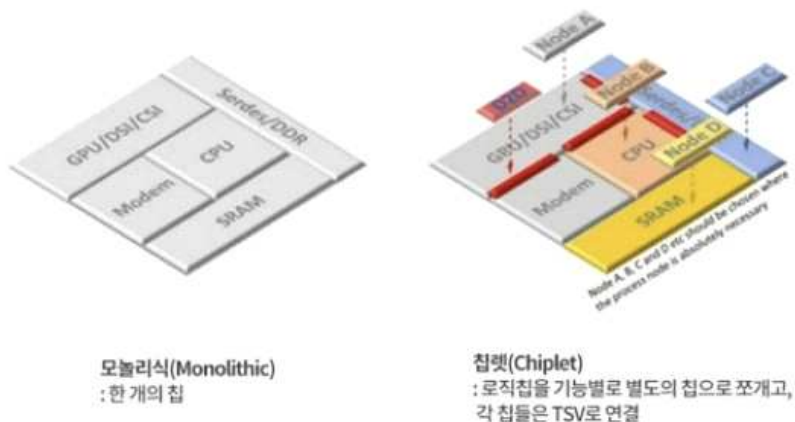
자료: Yole.



칩렛(Chiplet)은 칩을 기능별로 분리하여 칩 조각(칩렛)으로 별도 제조한 후 단일 패키지로 조립

- 칩렛은 SoC(System on Chip)의 단점을 보완하기 위한 기술로 멀티 다이(Die)²¹⁾ 이중 결합 기술을 통해 칩 가격경쟁력 및 시스템 성능을 향상시키는 기술
- 기존에는 하나의 기술 노드에서 CPU, GPU, 모뎀 등의 기능을 담은 SoC를 한번에 생산했으며, 최신 공정을 사용하는 칩의 개발비용이 빠르게 상승하여 생산물량이 적을 경우 경제성 문제가 대두됨
- 다양한 기능을 구현하기 위해 칩을 형성하는 다이(Die)가 커지는 것이 불가피했으며 다이 가 커지면 웨이퍼에서 만들 수 있는 칩의 수가 감소하여 수익성이 하락
- 칩 안의 기능별로 요구되는 다양한 기술 노드(40/28나노 등)에서 생산가능하나 SoC는 그 중 가장 최신 공정으로 칩을 생산해야 함
- 칩렛은 서로 다른 기능(컨트롤러, 고속 메모리 등)을 담당하는 반도체를 별도의 웨이퍼로 제작한 후 하나로 패키징하는 기술로 반도체 제조단가를 낮출 수 있음
- 칩의 크기가 작을수록 단일 웨이퍼에서 생산되는 반도체의 수율이 높아져 제조단가 하락이 가능하며, 칩 기능별로 필요한 기술 노드(최신 공정 또는 레거시)에서 생산하여 비용 효율성이 높음
- 칩을 기능별로 쪼개 놓아 핵심 칩 외의 다른 칩은 구매하여 사용 가능하며 여러 기업의 칩렛을 통합하여 제조시 발생하는 문제를 방지하기 위해 표준화가 시도되고 있음
 - * UCle는 2022년에 출범한 칩렛 컨소시엄으로 인텔, 삼성전자, SK하이닉스, TSMC 등 반도체 회사와 마이크로소프트 등 IT 기업들이 참여
 - * 중국은 미중 반도체전쟁 등으로 자체 칩렛 표준 개발을 추진

단일 칩과 칩렛 비교



자료: SK하이닉스 뉴스룸.

21) 패키지 작업을 하기 전 웨이퍼 상태에서 개별적인 패턴이 구현된 집적회로



칩 크기에 따른 수율 변화



주: 웨이퍼상 주황색 원은 불량
자료: SK하이닉스 뉴스룸.

칩렛과 Monolithic 설계 비교

	칩렛 기반 설계	Monolithic 설계
모듈성	소비자 맞춤형 설계와 확장성이 용이	고성능 구현을 위해 구성 요소가 긴밀하게 통합됨
개발속도	병렬 개발을 통해 칩 개발속도 단축	복잡한 통합으로 인해 칩 개발 주기가 길어질 수 있음
경제성	첨단 공정에서 비용 효율성이 높음	칩이 작아질수록 제조 비용 상승
수율	칩을 기능별 조각으로 제조하여 수율이 높음	설계 복잡성에 따라 수율 상이

자료: Cadence.

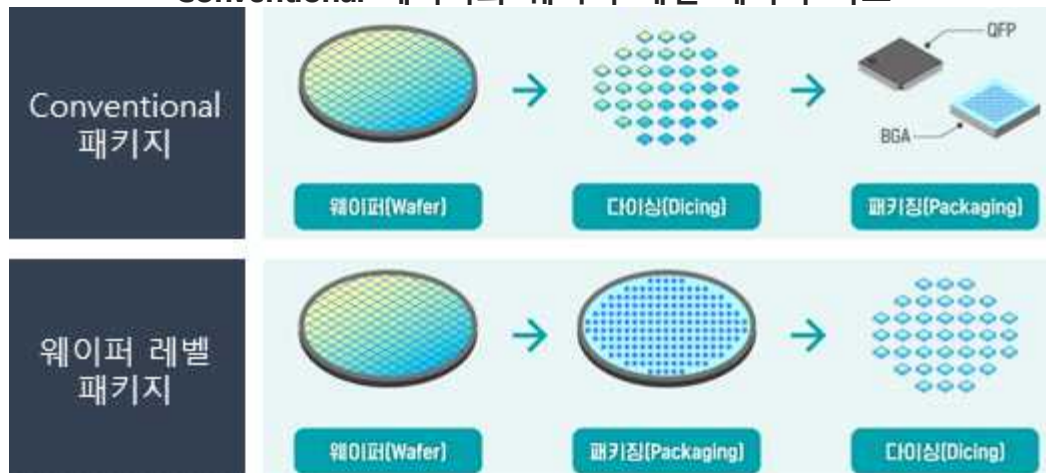
- 2019년 AMD는 인텔이 주도하는 CPU 시장에 Game Changer로 칩렛을 도입, 인텔은 2023년 서버용 CPU 사파이어 래피즈부터 칩렛 도입
- AMD는 고성능 CPU를 만들기 위해 Core의 수를 확대하고 싶었으나 불량 발생시 수율 하락 위험이 커서 16개의 Core를 8개, 8개로 쪼개어 만듦
 - CPU는 집적회로 내에 Core, 입출력(I/O), 관리 장치 및 기타 기본 구성요소로 구성됨
 - Core는 프로그램의 명령을 읽고 수행하는 독립적인 처리 장치(Processing Unit)로 컴퓨팅 기술이 발전하면서 Multi-Core Processor가 표준으로 자리 잡음
- 인텔도 칩렛 구조 도입을 결정했으나 AMD와 달리 CPU의 기능을 쪼개는 전략을 채택했으며 자사의 칩렛을 타일(Tile)로 명명
 - CPU, GPU, I/O 등이 개별칩이 타일 형태로 패키징하며 인텔의 노트북 프로세서 Meteor Lake의 경우 GPU는 TSMC 5나노 공정, I/O와 SoC 타일은 TSMC 6나노 공정을 통해 양산
 - 개별 칩 다이는 베이스 타일 위에 3D 패키징 방식인 Foveros를 활용해 적층되며 베이스 타일은 인텔 16(22나노) 공정으로 생산



웨이퍼 레벨 패키지(Wafer Level Package, WLP)는 패키지 공정 일부 또는 전체를 웨이퍼 레벨로 진행한 후 단품으로 절단하는 방식

- 웨이퍼 레벨 패키지(WLP)는 웨이퍼를 자르지 않고 전기적 연결과 칩 보호, 방열 역할을 하는 소재를 Molding한 후 다이 외부로 배선과 입출력 단자를 만드는 패키지 기술
- PCB(Printed Circuit Board) 기판이 불필요하여 초소형화가 가능하며 전기적 특성이 우수

Conventional 패키지와 웨이퍼 레벨 패키지 비교



자료: SK하이닉스 뉴스룸.

- 웨이퍼 레벨 패키지(WLP)중 가장 주목받는 Fan Out WLP는 WLP의 단점을 없애고 장점을 극대화한 패키징 기술
- Fan Out 기술은 입출력 단자 배선을 칩 밖으로 빼는 기술로 외부에 더 많은 I/O 단자를 배치할 수 있고, 반도체와 메인 기판 사이 배선 길이가 줄어들어 전기적 성능 및 열효율이 높아짐
- 대표적인 Fan out 방식은 TSMC의 InFO(Integrated Fan Out Wafer Level Package)
 - InFO는 다이를 먼저 자른 후 웨이퍼 모양의 틀에 다이를 재배치해 외곽 공간을 확보하고, 몰딩을 진행한 다음 넓어진 면적에 범프를 형성하는 기술
 - TSMC는 InFO를 기반으로 삼성전자가 위탁생산하던 애플의 AP(Application Processor) 물량을 가져감
- Fan Out 시장은 2022년 18.6억 달러에서 2028년 38억 달러로 연평균 12.5% 성장할 전망²²⁾

22) Yole



Ⅲ. 결론 및 시사점

반도체산업의 패러다임 변화로 반도체 구조, 공정, 장비와 소재 등의 혁신을 위해 종합 생태계 구축 및 지속적인 기술개발이 요구됨

- 반도체 미세화의 한계를 돌파하고 옹스트롬 시대가 개화하기 위해 노광기술²³⁾의 발전, 트랜지스터 아키텍처 진화, 고유전 물질 등의 개발 및 동향 모니터링이 필요
- 초미세 공정 구현의 한계를 돌파하기 위해 EUV 공급망 강화와 더불어 나노임프린트리소그래피(NIL), 유도자기조립(Directed Self-Assembly, DSA) 기술이 재조명됨
 - 2023년 10월, 캐논은 2나노 구현이 가능한 나노임프린트리소그래피(NIL) 장비를 공개, 기존 포토 공정은 광원을 통해 패턴을 형성하나 NIL은 웨이퍼 위에 전사하는 형태로 패턴을 형성하며 공정이 단순해져 비용이 낮아짐
 - 유도자기조립(DSA)은 2010년대초에 각광받았던 차세대 패터닝 기술로 성질이 상이한 두 고분자가 중합하는 성질을 이용해 패턴을 형성하는 기술로 결함 제어에 어려움을 겪어 상용화되지는 못했으나, 최근에는 EUV 공정에 DSA를 적용해 패터닝 오류를 잡으려는 시도가 인텔 등을 중심으로 이루어지고 있음
- 노광공정의 높은 해상력 구현을 위해 유기(Organic) 포토레지스트가 아닌 무기(Inorganic) 포토레지스트를 도입하는 움직임이 나타나고 있음
- 4F스퀘어와 3D D램 모두 D램 공정 프로세스와 장비, 소재 등의 대규모 변화 전망
- 반도체 제조 및 차세대 공정기술 개발은 단일 기업이 주도하기 어려워 첨단 장비와 소재가 함께 연계되는 종합 생태계 구축이 필요
- 반도체 기술력 제고를 위해 반도체 제조기업, 장비기업, 소재기업간 협력이 요구되고 있으나 우리나라의 반도체 제조능력 대비 장비와 소재기업의 기술력이 낮은 상황
 - 고생산을 기반 장비기술은 최고 기술보유국인 미국 대비 40%, 기술격차는 4.3년
- 우리나라 소부장 기업의 육성과 종합 생태계 구축을 통해 선순환적인 반도체 제조 및 차세대 공정기술 개발 생태계 조성이 필요

23) 실리콘 웨이퍼에 회로 패턴을 형성하는 과정



첨단 패키징의 중요성이 커졌으나 우리나라의 반도체 후공정 기술수준은 선도국과 격차가 커서 정부의 정책적 지원 확대가 필요

- 우리나라 후공정 분야의 기술수준은 최고 기술보유국 대비 66.3%, 기술격차는 3.4년
- 패키지 기술은 TSMC, 인텔이 공정 기술 개발을 주도하는 가운데 소재분야는 일본이 전통적으로 강세
 - TSMC의 패키지 기술은 2011년부터 2021년까지 10년동안 5세대에 걸쳐 발전했으나 삼성전자는 2021년에 완성도 있는 2.5D 패키징 기술을 발표
- 패키지는 반도체 산업 분야에서 중국의 세계시장 점유율이 가장 높은 부분으로 10대 기업중 3개 기업이 중국기업이며 한국기업은 삼성전자가 유일
 - 중국을 대표하는 패키지기업인 JCET는 세계 5위로 2014년 당시 4위 기업인 싱가포르 STAT ChipPAC을 인수하며 주요 사업자로 부상
 - 삼성전자는 2022년 말에 AVP(어드밴스드패키징) 사업팀을 설립하고 첨단 패키지 사업 강화를 추진
 - 중국은 미국의 반도체 제재를 돌파하는 방안중 하나로 첨단 패키징 육성을 추진
- 국내 패키지 기업은 메모리 기반기술로 첨단 패키지 기술 경쟁력이 낮고 연구생태계가 취약하여 원천기술 및 전문인력 확보, R&D 지원 등이 필요
- 첨단 패키징은 반도체 전공정 기술이 사용되어 파운드리와 IDM(종합반도체기업)에게 유리하고 후공정 전문기업(Outsourced Semiconductor Assembly & Test, OSAT)에게 불리한 구조

우리나라의 후공정 분야 기술수준

구분	기술수준		최고기술포유국
	상대수준(%)	격차(年)	
종합 기술력	66.3	3.4	미국, 독일, 오스트리아, 일본
이종집적 패키지	66.0	4.1	미국, 오스트리아, 일본, 독일
3D 패키지	74.2	2.8	미국, 일본, 대만
FO-WLP	60.0	4.0	미국, 일본
고온 반도체용 패키지	66.0	2.6	미국, 일본, 독일

자료: 반도체 미래기술 로드맵(2023)



세계 10대 패키징 및 테스트 기업('22)

단위: 억 달러

	기업	국가	매출	비고
1	ASE	대만	119.5	OSAT
2	Amkor	미국	70.9	OSAT
3	인텔	미국	55.0	IDM
4	TSMC	대만	53.1	파운드리
5	JCET	중국	49.0	OSAT
6	삼성전자	한국	40.0	IDM
7	Tongfu Microelectronics	중국	31.1	OSAT
8	Powertech Technology	대만	27.3	OSAT
9	Tianshui Huatian Microelectronics	중국	17.3	OSAT
10	UTAC	싱가포르	16.9	OSAT

주: IDM은 종합반도체기업, OSAT은 Outsourced Semiconductor Assembly & Test
자료 : Yole.

메모리반도체는 기술 변화 뿐만 아니라 범용 제품에서 고객 맞춤형 반도체(HBM 등)로 발전하고 있어 고객사와 긴밀한 협업체계 구축 등이 필요

- D램은 범용제품 중심의 구조였으나 이종집적(Heterogeneous Integration) 패키징의 부상, IT기기 Form Factor(디자인)의 변화 등으로 고객 맞춤형 반도체 수요는 증가할 전망
- 이종집적 패키징은 서로 다른 제조공정 등으로 만든 이종 칩을 하나로 패키징하여 다양한 제품에 맞는 시스템 해법을 제공하며 고성능 구현 등을 위해 메모리반도체와 시스템반도체가 결합이 증가할 전망
- IT기기는 폴더폰, VR기기 등 새로운 디자인이 증가하면서 고객이 원하는 Custom Memory 수요가 증가할 전망
- SK하이닉스는 '스페셜티' 제품 개발을 지향하면서 HBM, 애플의 혼합현실(MR) 기기 Vision Pro에 탑재된 커스텀 D램 등을 공급
- 메모리반도체 기업의 사업모델은 소품종 대량생산 구조에서 고객맞춤형 다품종 생산 구조로 변화할 전망



참고문헌

관계부처 합동, 반도체 미래기술 로드맵, 2023.4

다올투자증권, Happy New Big Cycle, 2023.9.18.

미래에셋증권, Promising Wafer: 전략 자원에 대한 기술적 접근, 2022.6.7

전자신문, "시스템 반도체도 쌓는다"...삼성 GAA 수직 적층 개발 돌입, 2023.7.25.

조선Biz, "HBM 다음은 CXL"... 삼성전자, 챗GPT 시대 맞춰 新메모리 상용화 속도, 2023.9.12.

KIPOST, SK실트론이 '엑스테킹' 기술에 반색하는 이유, 2023.2.2

IEEE, International Roadmap for Devices and Systems, 2022

Imec, '20-year semiconductor roadmap: tearing down the walls', 2022.8.2

Trendforce, Continuing Moore's Law: Advanced Packaging Enters the 3D Stacked CPU/GPU Era, 2023.9.8

McKinsey & Company, Scaling AI in the sector that enables it: Lessons for semiconductor-device makers, 2021.4.2.